

УДК 621.391

**РЕАЛИЗАЦИЯ ТУРБОКОДЕКА НА
ПРОГРАММИРУЕМОЙ ЛОГИЧЕСКОЙ
ИНТЕГРАЛЬНОЙ СХЕМЕ**

А.В. Яременко, А.Н. Осокин

Томский политехнический университет
E-mail: annay@bk.ru

Осокин Александр Николаевич, канд. техн. наук, доцент кафедры вычислительной техники Института кибернетики ТПУ. E-mail: osokin@vt.tpu.ru Область научных интересов: помехоустойчивое кодирование, сжатие информации, применение ПЛИС, микропроцессоров, цифровых сигнальных процессоров.

Яременко Анна Васильевна: магистрант кафедры вычислительной техники ТПУ. E-mail: annay@bk.ru Область научных интересов: помехоустойчивое кодирование, применение ПЛИС.

Получены выражения, позволившие разработать модифицированный алгоритм декодирования турбокодов Рида-Маллера $(32,26)^2$, пригодный для аппаратной реализации. Разработаны конечные автоматы кодера и декодера для реализации на программируемой логической интегральной схеме, интерфейс ввода-вывода турбокодера. Кодер и декодер реализованы на Virtex XCV1000E-6 от компании Xilinx (разработаны программы на языке Very high speed integrated circuits Hardware Description Language). Проведенное моделирование в пакете Xilinx ISE показало, что разработанный кодер обеспечивает скорость кодирования для турбокода Рида-Маллера $(32,26)^2$ 38,6 Мбит/с, декодер обеспечивает скорость декодирования 70,2 кбит/с при пяти итерациях.

Ключевые слова:

Алгоритм максимальной апостериорной вероятности, логарифмический алгоритм максимальной апостериорной вероятности, турбокод, декодер с мягким входом и мягким выходом, коэффициент внешнего логарифма отношения правдоподобия, программируемая логическая интегральная схема.

Key words:

Maximum a posteriori algorithm, logarithmic versions of the maximum a posteriori algorithm, turbo code, soft-in soft-out decoder, likelihood ratios, field-programmable gate array.

Наиболее заметным достижением в теории помехоустойчивого кодирования за последние десятилетия являются турбокоды. Они обладают уникальной способностью обеспечивать характеристики помехоустойчивости передачи информации, близкие к теоретически достижимым значениям при умеренной сложности реализации кодеков [1]. Особенное достоинство турбокодов состоит в том, что они допускают итеративную процедуру декодирования. В 2004 г. в стандарте фиксированной радиосвязи IEEE 802.16 (WiMax), представляющем наиболее перспективные технические и технологические решения в области радиодоступа, было определено использование турбодекодирования. Вышеуказанные достоинства турбокодов делают исследование и разработку новых кодеков, обеспечивающих высокую надежность обмена информацией в условиях воздействия внешних помех, актуальной научно-технической задачей. В данной работе предлагается экономичное архитектурное решение турбокодека на базе программируемой логической интегральной схемы (ПЛИС).

Проблемы реализации и имеющиеся решения

Разработка турбокодов развивается по двум направлениям: сверточные и блочные турбокоды. Как показали исследования [2], блочные турбокоды являются более эффективными при относительно высоких кодовых скоростях.

Турбокоды обладают высокой сложностью представления и вычисления, что создает ряд проблем их практической реализации. Имеющиеся VHDL решения являются не эффективными либо с точки зрения использования ресурсов памяти, либо задержек декодирования. Реализация блочного турбодекодера в стандарте IEEE 802.16 сделана опционально с использованием кодов Хэмминга или простой проверки на четность с декодированием по Витерби. Имеется также несколько коммерческих реализаций в виде интегральных микросхем от компании Advanced Hardware Architectures (АНА), информация о которых является платной. DSP решения турбокодексов, как показано в работе [3], неэффективны и дорогостоящи.

Согласно последним исследованиям и разработкам наилучшие практические результаты достигаются при использовании турбокодов на основе решетчатых кодов, таких как расширенные коды Хэмминга, Боуза–Чоудхури–Хоквингема (БЧХ) или Рида–Маллера [4]. Коды Рида–Маллера (PM) имеют более регулярную и симметричную решетчатую структуру с большим числом параллельных подрешеток; это увеличивает скорость декодирования и дает возможность рекурсивного построения, что является ценным свойством для построения алгоритмов мягкого декодирования [4]. Именно поэтому коды Рида–Маллера выбраны для реализации турбокодека.

Декодирование турбокодов с помощью решеток, как правило, осуществляется по одному из двух типов алгоритмов: алгоритму Витерби или алгоритму максимума апостериорной вероятности (maximum a posteriori – MAP). MAP является более оптимальным алгоритмом по сравнению с алгоритмом Витерби, т. к. минимизирует вероятность возникновения ошибки на символ при посимвольного декодировании линейных блочных кодов [4].

Общая структура кодека

Двумерный блочный турбокод может быть представлен в виде прямоугольника, построенного из двух кодов: горизонтальных $n_x; k_x; d_x$ и вертикальных $n_y; k_y; d_y$. В качестве компонентных кодов, как уже сказано, выбраны коды Рида–Маллера. Систематическая форма порождающей матрицы кода PM(32,26) получена по методу Месси и выглядит следующим образом:

$$G_{PM(32,26)} = \begin{pmatrix} 1000000000000000010000000100010110 \\ 010000000000000010000000100010101 \\ 001000000000000010000000100010011 \\ 000100000000000010000000100010000 \\ 000010000000000010000000100000111 \\ 000001000000000010000000100000100 \\ 000000100000000010000000100000010 \\ 000000010000000010000000100000001 \\ 000000001000000010000000000010111 \\ 000000000100000010000000000010100 \\ 000000000010000010000000000010010 \\ 000000000001000010000000000010001 \\ 000000000000100010000000000010001 \\ 000000000000010100000000000001101 \\ 000000000000001100000000000000011 \\ 00000000000000001000000100010111 \\ 0000000000000000100000100010100 \\ 00000000000000000000001000010010 \\ 0000000000000000000000000010001 \\ 00000000000000000000000010010000110 \\ 00000000000000000000000010100000101 \\ 00000000000000000000000001100000011 \\ 000000000000000000000000010010110 \\ 00000000000000000000000001010101 \\ 0000000000000000000000000110011 \end{pmatrix}$$

Решетчатая диаграмма кода в результате будет состоять из 638 состояний и 1180 переходов.

Схема итеративного декодирования турбокодов представлена на рис. 1. Турбодекодер представляет собой последовательное соединение двух декодеров с мягким входом и мягким выходом (Soft Input Soft Output – SISO). На каждой итерации вычисляются логарифмическое отношение функций правдоподобия (Log-Likelihood-Ratio, LLR), называемые мягкими решениями, для каждого символа в кадре данных в соответствии с критерием максимальной апостериорной вероятности (MAP). Мягкое решение символов на выходе первого декодера используется в качестве входной информации для второго. На второй и последующих итерациях входные данные обновляются и используются как априорная информация о переданных символах для первого декодера. Процедура повторяется от итерации к итерации, увеличивая вероятность правильного декодирования. Окончание процесса декодирования происходит после заданного количества итерационных циклов. Априори символы на входе декодера являются равновероятными. Анализ отдельных порций входных отсчетов на каждой итерации увеличивает вероятность одних и уменьшает вероятность других символов. Техническая реализация алгоритма MAP в общем случае вряд ли возможна [4]. Применение турбокодов в системах цифровой связи достигается за счет использования субоптимальных вариантов MAP алгоритма.

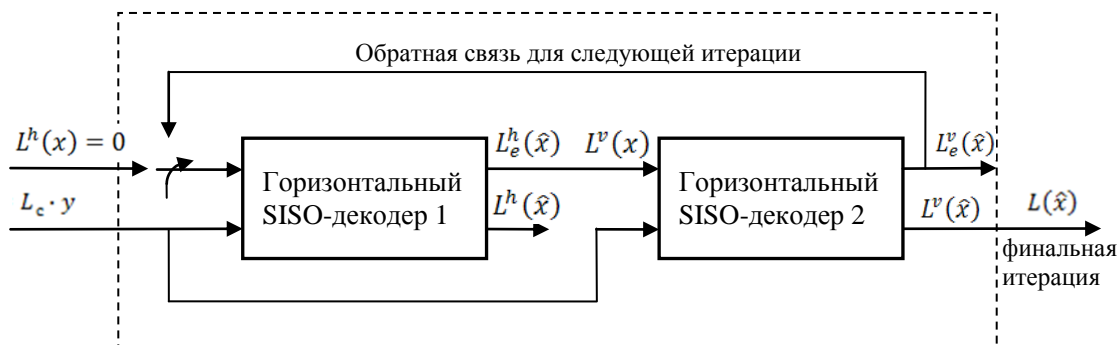


Рис. 1. Итеративная процедура декодирования турбокодов

Log-MAP алгоритм

Представим модификацию алгоритма MAP, которая позволит снизить его вычислительную сложность и реализовать на ПЛИС. Процесс декодирования в MAP алгоритме включает вычисление прямых и обратных метрик прохода по кодовой решетке для получения мягких выходов. LLR для информационного символа x_k , принимаемого декодером как последовательность y , может быть представлено суммой:

$$L(\hat{x}_k) = L_c \cdot y_k + L(x_k) + L_e(\hat{x}_k),$$

где $L_c \cdot y_k$ называют LLR канала, величину $L(x_k)$ называют априорным LLR информационного символа и $L_e(\hat{x}_k)$ называют внешним (extrinsic) LLR, которое может быть введено в декодер (через обратную связь) и использовано в качестве априорной вероятности на следующей итерации.

Внешнее LLR может быть записано в следующем виде:

$$L(\hat{x}_k) = \log \frac{\sum_{(s',s)_{x_k=1}} \sum_s s' \alpha_{k-1}(s') \cdot y_k(s',s) \cdot \beta_k(s)}{\sum_{(s',s)_{x_k=-1}} \sum_s s' \alpha_{k-1}(s') \cdot y_k(s',s) \cdot \beta_k(s)},$$

где α , β и y представляют собой метрики прямого, обратного прохода и метрику ребра соответственно. Индексы k и S обозначают время и состояние. LLR значения вычисляются для всех состояний S в моменты k и $k-1$. Используя аппроксимацию $\log(e^{\delta_1} + e^{\delta_2} + \dots + e^{\delta_n}) \approx \max_{i \in \{1,2,\dots,n\}} \delta_i$, внешнее LLR может быть записано в логарифмической форме следующим образом:

$$L_e(\hat{x}_k) = \max_{(s',s)_{x_k=1}} [\log \alpha_{k-1}(s') + \log \beta_k(s)] - \max_{(s',s)_{x_k=-1}} [\log \alpha_{k-1}(s') + \log \beta_k(s)].$$

Улучшения мягкого решения LLR на выходе декодера можно достичь, используя Якобианов логарифм:

$$\log(e^{\delta_1} + e^{\delta_2}) = \max(\delta_1, \delta_2) + \log(1 + e^{-|\delta_2 - \delta_1|}) = \max(\delta_1, \delta_2) + f_c(|\delta_2 - \delta_1|).$$

Применением рекурсивно уравнения, приведенного выше, для вычисления метрик $\alpha_k(s)$ и $\beta_{k-1}(s')$, а также $L_e(x_k)$, достигается практически такая же точность вычислений, как в исходном алгоритме MAP [4], при этом сложные операции экспоненцирования и умножения изменились на простые операции суммы и сравнения, что делает реализацию данного алгоритма технически возможной. Функция $f_c(|\delta - \delta_n|)$ вычислена и представлена в таблице.

Таблица вычисленных значений $|\delta - \delta_n|$

Dif	≤0,0625	0,5	1,0	1,5	2,0	≥2,0
$\ln(1 + e^{- Dif })$	0,625	0,5	0,375	0,25	0,125	0

Реализация на ПЛИС

На основании выше рассмотренного предлагается архитектура кодека (рис. 2, рис. 3) для реализации на ПЛИС. В представленной архитектуре имеется 4 отдельных модуля вычисления метрик и LLR, соединенных промежуточной памятью, детали которых не могут быть рассмотрены в рамках данной статьи.

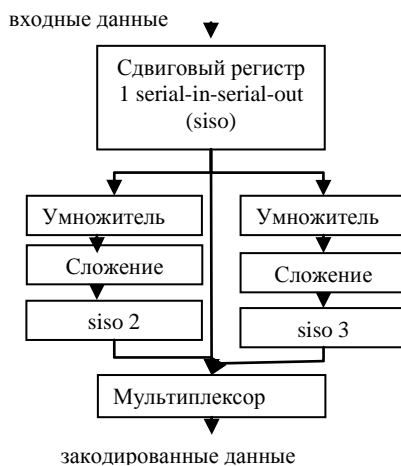


Рис. 2. Архитектура кодера

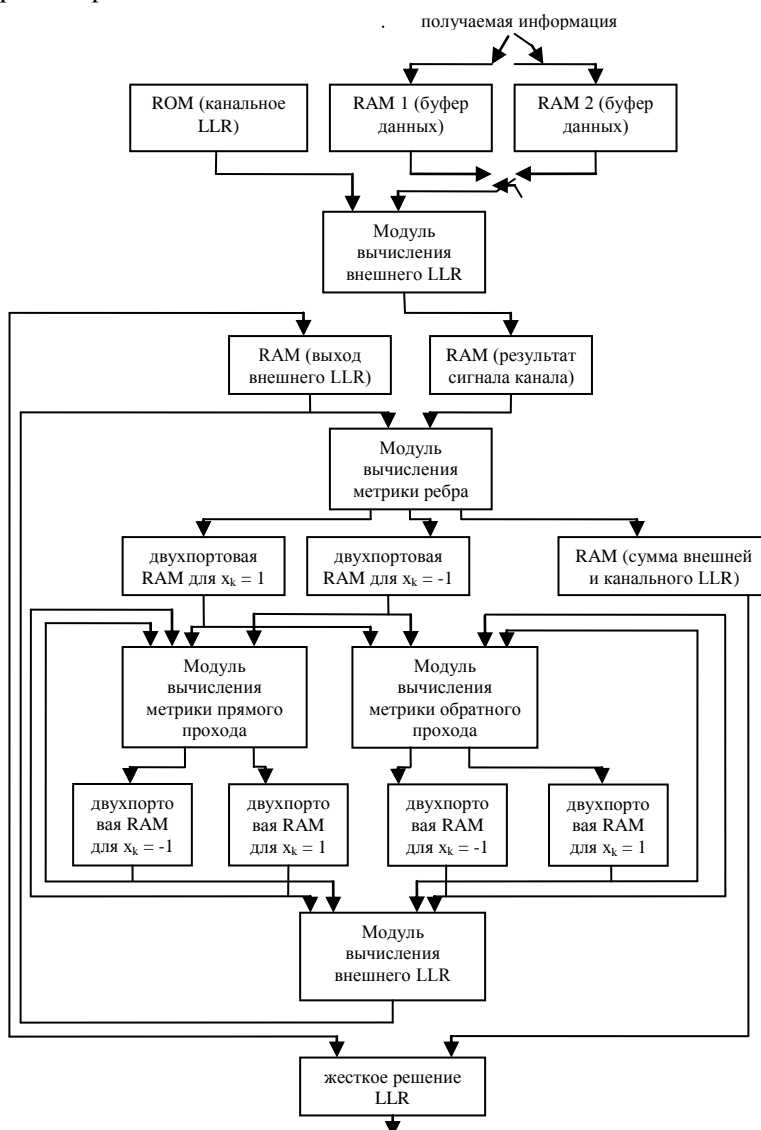


Рис. 3. Архитектура декодера

Данная архитектура турбокодека реализована на ПЛИС Virtex (XCV1000E-6) от Xilinx. Проведенное моделирование в пакете Xilinx ISE показало, что разработанный кодер

обеспечивает скорость кодирования для турбокода Рида-Маллера $(32,26)^2$ 38,6 Мбит/с, декодер обеспечивает скорость декодирования 70,2 Кбит/с при пяти итерациях.

Достоинства архитектуры:

- эффективное использование памяти;
- невысокая сложность реализации;
- низкая стоимость разработки;
- приемлемая скорость кодирования и декодирования.

Заключение

Предложена и реализована на ПЛИС архитектура турбокодека с кодированием по коду Рида-Маллера и декодированием по модифицированному Log-MAP алгоритму. Оценка аппаратных затрат на реализацию исследуемых декодеров показала, что для реализации такого турбокодека требуется примерно на 35 % меньше аппаратных ресурсов, чем для реализации сверточного турбокодека с такой же эффективностью кодирования.

СПИСОК ЛИТЕРАТУРЫ

1. Золотарев В.В., Овечкин Г.В. Помехоустойчивое кодирование. Методы и алгоритмы / под ред. чл.-кор. РАН Ю.Б. Зубарева. – М.: Горячая линия – Телеком, 2004. – 126 с.
2. Архипкин А.В. Турбокоды – мощные алгоритмы для современных систем связи // Беспроводные технологии. – 2006. – № 1 (02). – С.63–64.
3. Pietroben S.S. Implementation and Performance of A Turbo/MAP Decoder // International Journal of Satellite Communications. – 2006. – № 16. – P. 16–18.
4. Морелос-Сарагоса Р. Искусство помехоустойчивого кодирования. Методы, алгоритмы, применение. – М.: Техносфера, 2006. – 320 с.

Поступила 21.09.2011 г.